



(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
02.09.1998 Patentblatt 1998/36

(51) Int. Cl.⁶: H03L 7/085

(21) Anmeldenummer: 98100093.8

(22) Anmeldetag: 07.01.1998

(84) Benannte Vertragsstaaten:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(30) Priorität: 06.02.1997 DE 19704299

**(71) Anmelder: Deutsche Telekom AG
53113 Bonn (DE)**

(72) Erfinder: Scheytt, Christoph
46282 Dorsten (DE)

(54) **Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignal und Bitratenerkennungseinrichtung zur Ermittlung einer Bitrate.**

(57) Die Erfindung betrifft eine Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignalstrom mit einer Phasen-/Frequenzregelvorrichtung (3), der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts (DW) umschaltbaren Frequenzteiler Vorrichtung (13), die im Rückkopplungs-zweig der Phasen-/Frequenzregelvorrichtung angeord-

net ist und an deren Ausgang das gewonnene Taktsignal (T) abgreifbar ist. Die Erfindung zeichnet sich dadurch aus, daß eine Bitratenerkennungseinrichtung (15) vorgesehen ist, der der Datensignalstrom und zumindest ein Referenzfrequenzsignal zuführbar sind, und die ein Bitraten-abhängiges der Frequenzteilereinrichtung (13) zuführbares Datenwort (DW) erzeugt.

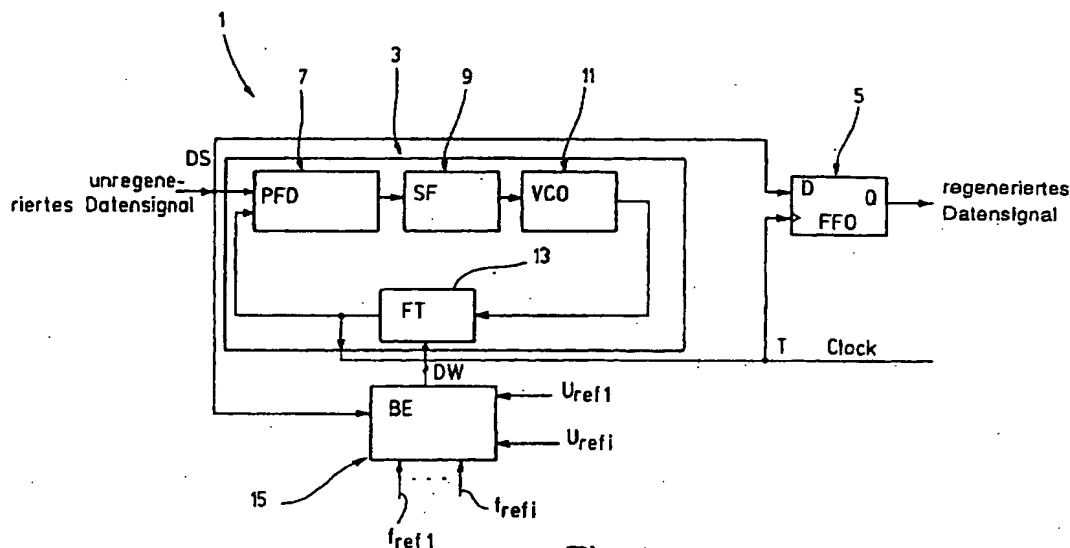


Fig. 1

Beschreibung

Die Erfindung betrifft eine Bitratenerkennungseinrichtung zur Ermittlung einer Bitrate eines Datensignalstroms. Die Erfindung betrifft desweiteren eine Vorrichtung zur Gewinnung eines Signals aus einem Datensignalstrom mit einer Phasen-/Frequenzregelvorrichtung, der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts umschaltbaren Frequenzteilereinrichtung, die im Rückkopplungsweig der Phasen-/Frequenzregelvorrichtung angeordnet ist und an dessen Ausgang das gewonnene Taktsignal abgreifbar ist.

Vorrichtungen zur Gewinnung eines Taktsignals aus einem Datensignalstrom sind bekannt. So ist beispielsweise im Maxim Engineering Journal, Heft 20, 1995, ein Produkt mit dem Namen MAX3270 offenbart, das mittels eines Phasen-/Frequenzregelkreises und eines im Rückkopplungsweig angeordneten programmierbaren Frequenzteilers das Taktsignal aus dem zugeführten Datensignalstrom gewinnt. Da der Phasen-/Frequenzregelkreis lediglich innerhalb eines bestimmten Frequenz- beziehungsweise Taktbereichs arbeitet, läßt sich mit Hilfe des Frequenzteilers ein Umschalten zwischen unterschiedlichen Frequenzbeziehungsweise Taktbereichen durchführen. Das Umschalten selbst erfolgt durch Anlegen unterschiedlicher Datensignale an den Frequenzteiler. Obgleich sich dieser Baustein zur Rückgewinnung des Taktsignals aus Datensignalströmen mit unterschiedlichsten Bitraten verwenden läßt, ist dessen Einsatz jedoch dann nicht möglich, wenn der zugeführte Datensignalstrom zwischen unterschiedlichen Bitraten wechselt. Der Baustein ist nämlich nicht in der Lage, die jeweiligen Frequenz- beziehungsweise Taktbereiche zu erkennen und entsprechend den Frequenzteiler einzustellen. Dies muß vor Inbetriebnahme von außen erfolgen.

In einer Veröffentlichung von D. Potson und A. Buchholz ("A 143-360 Mbit/s Auto-Rate Selecting Date-Retimer Chip for Serial Digital Video Signals", IEEE International Solid-State Circuits Conference 1996, digest of technical papers, vol.39, pp.196-197) ist eine Taktrückgewinnungsschaltung offenbart, die Datensignalströme verschiedener Bitraten verarbeiten kann, wobei die Umschaltung zwischen den verschiedenen Frequenz- beziehungsweise Taktbereichen automatisch erfolgt. Die Umschaltung wird durch die Frequenzsensitivität des Phasen-/Frequenzdetektors erreicht, der eine VCO-Steuerspannung so regelt, daß der Phasen-/Frequenzregelkreis auf der neuen Frequenz einrastet. Im Gegensatz zu dem vorgenannten Beispiel wird hier jedoch kein Frequenzteiler eingesetzt. Diese Schaltung hat den Nachteil, daß die Taktrückgewinnung nur innerhalb eines eingeschränkten Frequenz- beziehungsweise Taktbereichs möglich ist. Verursacht wird diese Einschränkung durch die VCO-Schaltung, deren Verstimmungsbereich aus schaltungstechnischen Gründen nicht beliebig groß gemacht werden kann. Eine weitere

Einschränkung wird dadurch verursacht, daß die üblicherweise verwendeten Phasen-/Frequenzdetektoren nur in einem eingeschränkten Frequenzbereich arbeiten.

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine Vorrichtung zur Gewinnung eines Taktsignals anzugeben, mit der Datensignalströme unterschiedlichster Bitraten verarbeitbar sind.

Diese Aufgabe wird durch eine Vorrichtung gelöst, die die Merkmale des Anspruchs 1 aufweist.

Dadurch, daß eine Bitratenerkennungseinrichtung vorgesehen ist, die auf der Basis zumindest eines, vorzugsweise zweier Referenzfrequenzsignale die Bitrate des Datensignalstroms ermittelt und entsprechend codiert als Datenwort der Frequenzteilereinrichtung zuführt, läßt sich die Phasen-/Frequenzregelvorrichtung auf unterschiedliche Frequenzbereiche einrasten, so daß Datensignalströme mit unterschiedlichen Bitraten automatisch verarbeitbar sind. Eine Umprogrammierung des Frequenzteilers von außen ist dabei nicht notwendig.

Im Gegensatz zu den bekannten Schaltungen arbeitet die erfindungsgemäße Vorrichtung zur Gewinnung eines Taktsignals zweistufig. In der ersten Stufe wird mittels der Bitratenerkennungseinrichtung die Phasen-/Frequenzregelvorrichtung auf einen bestimmten Frequenzbereich beziehungsweise Taktbereich eingestellt. In einem zweiten Schritt erfolgt dann die Feinabstimmung der Frequenz beziehungsweise des Taktes, die durch die Phasen-/Frequenzregelvorrichtung selbst erfolgt. Dadurch ist es nicht wie im Stand der Technik notwendig, den Verstimmungsbereich der VCO-Schaltung in der Phasen-/Frequenzregelvorrichtung groß zu wählen und folglich hohen schaltungstechnischen Aufwand zu betreiben.

Vorteilhafterweise umfaßt die Bitratenerkennungseinrichtung zumindest eine, vorzugsweise zumindest zwei Flankendichte-Meßeinrichtungen, denen jeweils der Datensignalstrom sowie ein Referenzfrequenzsignal zuführbar ist und deren Ausgangssignale das zur Einstellung der Frequenzteilereinrichtung notwendige Datenwort bilden.

In einer vorteilhaften Ausführungsform umfaßt die Flankendichte-Meßeinrichtung (im folgenden kurz FDM-Einrichtung genannt) eine Abtasteinheit, eine Flankendetektionseinheit, eine Mittelungseinheit und eine Entscheidungseinheit. Vorzugsweise weist die Abtasteinheit ein Flipflop auf, dem als Taktsignal ein Referenzfrequenzsignal und als Eingangssignal der Datensignalstrom zuführbar ist. Die Flankendetektionseinheit umfaßt vorzugsweise ein Flipflop und ein XOR-Gatter, wobei ein Eingang des Flipflops und ein Eingang des XOR-Gatters mit dem Ausgang der Abtasteinheit und der andere Eingang des XOR-Gatters mit dem Ausgang des flipflops verbunden ist. Die Mittelungseinheit weist vorzugsweise ein Tiefpaßfilter auf, dessen Eingang mit dem Ausgang der Flankendetektionseinheit verbunden ist. Die Entscheidungseinheit umfaßt vor-

zugsweise eine Komparatorschaltung und ein Flipflop, wobei ein Eingang der Komparatorschaltung mit dem Ausgang der Mittelungseinheit und der andere Eingang mit einer Referenzspannungsquelle verbunden ist, und wobei der Ausgang der Komparatorschaltung mit einem Eingang des Flipflops verbunden ist. Das Ausgangssignal dieses Flipflops bildet dann ein Bit des der Frequenzteilereinrichtung zugeführten Datenworts.

Die Anzahl der erkannten Frequenz- beziehungsweise Taktbereiche ist unmittelbar abhängig von der Anzahl der verwendeten FDM-Einrichtungen. So lassen sich hier beispielsweise bei zwei eingesetzten FDM-Einrichtungen drei unterschiedliche Frequenz- beziehungsweise Taktbereiche erkennen. Durch die Verwendung von mehr als zwei FDM-Einrichtungen läßt sich die Zahl der erkennbaren Frequenzbereiche weiter erhöhen.

Die Erfindung wird nun anhand eines Ausführungsbeispiels mit Bezug auf die Zeichnungen näher erläutert. Dabei zeigen:

- Figur 1 ein Blockdiagramm einer Schaltung zur Regenerierung eines verrauschten Datensignals mit einer erfindungsgemäßen Vorrichtung zur Gewinnung eines Taktsignals;
- Figur 2 ein Blockdiagramm einer Bitraten-Erkennungseinrichtung, und
- Figur 3 ein Blockdiagramm einer FDM-Einrichtung, die in einer Bitraten-Erkennungseinrichtung gemäß Figur 2 eingesetzt ist.

In Figur 1 ist der grundsätzliche Aufbau einer Datenregenerationsschaltung 1 gezeigt. Sie umfaßt ein Phasen- beziehungsweise Phasen-/Frequenzregelkreis 3 und ein Regenerator-Flipflop 5. Der Phasen-/Frequenzregelkreis 3 umfaßt seinerseits einen Phasen-/Frequenzdetektor 7, ein Schleifenfilter 9, eine VCO-Schaltung 11 (Voltage Control Oscillator) und einen umschaltbaren Frequenzteiler 13. Die vorgenannten Funktionseinheiten sind zu einem Regelkreis verschaltet, wobei das Ausgangssignal der VCO-Schaltung 11 über den Frequenzteiler 13 zu einem Eingang des Phasen-/Frequenzdetektors 7 rückgekoppelt wird, während der andere Eingang des Phasen-/Frequenzdetektors 7 mit einem zu regenerierenden Datensignalstrom DS beaufschlagt ist. Das Ausgangssignal des im Rückkopplungszweig des Frequenzregelkreises 3 liegenden Frequenzteilers 13 bildet dann das gewünschte aus dem Datensignalstrom gewonnene Taktsignal T. Die Funktionsweise eines solchen Phasen-/Frequenzregelkreises sowie die jeweilige Funktionsweise des Frequenzdetektors 7, des Schleifenfilters 9, der VCO-Schaltung 11 und des Frequenzteilers 13 ist aus dem Stand der Technik bekannt, so daß auf eine genauere Erläuterung verzichtet wird.

Das rückgewonnene Taktsignal T wird dem Taktsi-

gnaleingang des Regenerator-Flipflops 5 zugeführt, dessen Dateneingang D mit dem Datensignalstrom DS beaufschlagt ist. Das am Ausgang Q dieses Regenerator-Flipflops 5 abgreifbare Signal stellt dann das regenerierte Datensignal dar.

Dem Phasen-/Frequenzregelkreis 3, insbesondere dem Frequenzteiler 13, ist eine Bitratenerkennungsschaltung 15 zugeordnet, der die Aufgabe zufällt, die Bitraten des Datensignalstroms DS zu ermitteln und abhängig davon das Teilverhältnis des Frequenzteilers 13 einzustellen. Dazu wird der Bitratenerkennungsschaltung 15 neben dem Datensignalstrom DS zumindest eine, vorzugsweise zumindest zwei Referenzfrequenzsignale f_{ref1} , f_{ref2} sowie wenigstens ein, im vorliegenden Ausführungsbeispiel mehrere Referenzspannungssignale U_{ref1} , U_{ref2} zugeführt. Auf der Grundlage dieser Referenzwerte ermittelt die Bitratenerkennungsschaltung 15 den Frequenzbereich des Datensignalstroms, codiert diesen Wert und überträgt ihn als Datenwort DW an den Frequenzteiler 13. Der Frequenzteiler 13 ist derart ausgebildet, daß er ein dem übermittelten Datenwort zugeordnetes Teilverhältnis einstellt.

Der Aufbau der Bitratenerkennungsschaltung 15 ist in der Figur 2 näher beschrieben. Die Bitratenerkennungsschaltung 15 umfaßt zumindest eine, im vorliegenden Ausführungsbeispiel mehrere Flankendichte-Meßschaltungen 17, die parallel zueinander angeordnet sind. Sie alle werden einerseits mit dem unregenerierten Datensignalstrom DS versorgt. Andererseits wird jeder Flankendichte-Meßschaltung 17 ein Spannungsreferenzsignal U_{ref} sowie ein Referenzfrequenzsignal f_{ref} zugeführt. Auf der Basis der Referenzwerte ermittelt jede der Flankendichte-Meßschaltungen 17 ein binäres Datum Q, das ein Bit des Datenworts DW darstellt. Dieses an den Frequenzteiler 13 übermittelte Datenwort DW wird folglich durch die binären Ausgangsdaten Q der Flankendichte-Meßschaltung 17 gebildet.

Der Aufbau einer solchen Flankendichte-Meßschaltung 17 ist in Figur 3 dargestellt. Sie umfaßt in Reihenschaltung eine Abtasteinheit 19, eine Flankendetektionseinheit 21, eine Mittelungseinheit 23 sowie eine Entscheidungseinheit 25.

Die Abtasteinheit 19 umfaßt ein Flipflop 27, dessen Dateneingang D der unregenerierte Datensignalstrom DS zugeführt ist. Der Takteingang des Flipflops 27 wird mit dem Referenzfrequenzsignal f_{ref} beaufschlagt.

Die Flankendetektionseinheit 21 umfaßt ein Flipflop 27 sowie ein XOR-Gatter 31. Der Dateneingang D des Flipflops 27 ist mit dem Ausgang Q des Flipflops 27 verbunden, der seinerseits mit einem Eingang des XOR-Gatters 31 verbunden ist. Der zweite Eingang des XOR-Gatters 31 ist mit dem Ausgang Q des Flipflops 27 verbunden. Auch diesem Flipflop 29 wird als Taktsignal das Referenzfrequenzsignal f_{ref} zugeführt.

Die Mittelungseinheit 23 umfaßt ein Tiefpaßfilter 33, dessen Eingang mit dem Ausgang des XOR-Gat-

ters 31 verbunden ist.

Die Entscheidungseinheit 25 umfaßt einen Komparator 35, dessen invertierender Eingang mit einer Referenzspannung U_{ref} liefernde Spannungsquelle 37 und dessen anderer Eingang mit dem Ausgang des Tiefpaßfilters 33 verbunden ist. Der Ausgang der Komparator-Schaltung 35 ist mit einem Dateneingang eines Flipflops 39 verbunden, an dessen Ausgangsanschluß Q ein Bit des Datenworts DW abgreifbar ist. Das Flipflop 39 wird mit einem Taktsignal f_{Takt} versorgt, vorzugsweise mit einem langsamen Systemtakt.

Die Bitratenerkennung funktioniert nun wie folgt:

Zunächst wird das ungenerierte Datensignal DS in der Abtasteinheit 19 bei einer Frequenz f_{ref} abgetastet. Abhängig von der Bitrate des Datensignalstroms findet entweder eine Unterabtastung, eine Überabtastung oder eine Abtastung mit der ungefähren Taktfrequenz statt.

Auf die Abtastung folgt in der Flankendetektionseinheit 21 eine Flankendetektion, das heißt, es findet eine Detektion von 0=>1 beziehungsweise 1=>0-Übergängen im Datensignalstrom statt.

Das Ausgangssignal der Flankendetektionseinheit wird mittels des Tiefpaßfilters 33 in der Mittelungseinheit 23 gemittelt, so daß an dessen Ausgang Spannungen anliegen, die proportional der mittleren relativen Häufigkeit von Datensignalfanken im Abtastsignal sind:

Das gemittelte Ausgangssignal wird durch den Komparator 35 mit einer Referenzspannung U_{ref} verglichen, wobei durch das nachgeschaltete Flipflop 39 ein eindeutiges binäres Entscheidungssdatum erzeugt wird.

Anhand eines konkreten Beispiels soll die Funktion der Bitratenerkennungsschaltung 15 nochmals erläutert werden.

Ausgangspunkt soll ein Datenübertragungssystem sein, bei dem die Daten mit drei unterschiedlichen Bitraten, nämlich 155,52 Mbit/s (STM-1), 622,08 Mbit/s (STM-4) und 2,48832 Gbit/s (STM-16), übertragen werden. Die bisher bekannten Schaltungen zur Gewinnung eines Taktsignals arbeiten in diesem Fall nicht automatisch, da der Frequenzbereich zu groß ist.

Zur Erkennung dreier unterschiedlicher Bitraten umfaßt die Bitratenerkennungsschaltung 15 in diesem konkreten Beispiel zwei Flankendichte-Meßschaltungen 17, wie sie in Figur 3 erläutert sind. Dabei wird als erste Referenzfrequenz der Wert 2,56 GHz und als zweite Referenzfrequenz 640 MHz = 2,56 GHz/4 verwendet. Bei der Wahl der Referenzfrequenzen ist darauf zu achten, daß sie nicht mit der Frequenz des Datensignalstroms übereinstimmen. Als Referenzspannung wird ein Wert $0,3 \cdot U_0$ verwendet, wobei U_0 gleich der Spannung der logischen 1 ist. In der folgenden Tabelle ist ausgeführt, welche Ausgangssignale der beiden Entscheidungseinheiten 25 sich ergeben, und welche Bitrate sie codieren.

	Ausgangssignale Entscheidungseinheiten 25	
Bitrate f_B	A	B
2,48 Gbit/s	H	H
622 Mbit/s	L	H
155 Mbit/s	L	L

Die vorgenannte Funktion der Bitratenerkennungsschaltung 15 soll nun auf der Grundlage des oben genannten konkreten Beispiels analytisch beschrieben werden.

Die relative Häufigkeit h von Datenflanken in einem zufälligen, binären, seriellen Datensignal beträgt 0,45 bis 0,5. Im folgenden sei $f_{ref1} = 4 \cdot f_{ref2}$.

Ist nun die Bitrate f_B gleich $f_{ref1} = 4 \cdot f_{ref2}$, dann gilt für U_A und U_B :

$$U_A = h \cdot U_0$$

$$U_B = (4 \cdot h(1-h)^3 + 4 \cdot h^3(1-h)) U_0 \approx 0,5 U_0$$

wobei U_0 gleich der Spannung der logischen "Eins" (H) ist und die logische "Null" (L) der Spannung 0V entspricht.

Ist die Bitrate f_B gleich $f_{ref1}/4 = f_{ref2}$, dann betragen U_A und U_B :

$$U_A = \frac{h}{4} \cdot U_0$$

$$U_B = h \cdot U_0$$

Ist schließlich die Bitrate f_B gleich $f_{ref1}/16 = f_{ref2}/4$, dann gilt:

$$U_A = \frac{h}{16} \cdot U_0$$

$$U_B = \frac{h}{4} \cdot U_0$$

Wählt man einen entsprechenden U_{ref} -Wert von $0,3 \cdot U_0$ am Eingang der Komparatoren, dann erhält man an den Ausgängen QA und QB der Schaltung ein zwei Bit breites Datenwort, das die aktuelle Bitrate angibt.

In der folgenden Tabelle sind die möglichen Fälle und Ausgangswerte angegeben:

f_B	U_A	U_B	Q_A	Q_B
$f_B = f_{ref1}$	$h \cdot U_0$	$0,5 \cdot U_0$	H	H
$f_B = 4 \cdot f_{ref1}$	$h/4 \cdot U_0$	$h \cdot U_0$	L	H
$f_B = 16 \cdot f_{ref1}$	$h/16 \cdot U_0$	$h/4 \cdot U_0$	L	L

zeichnet, daß der Bitratenerkennungseinrichtung (15) zumindest zwei Referenzfrequenzsignale zuführbar sind.

Da die Referenzfrequenzen nicht sehr genau sein müssen, kann unter Umständen auf externe Referenzfrequenzen verzichtet werden. Falls nämlich der Verstimmbereich des VCO nicht zu groß ist, kann die VCO-Frequenz und ein entsprechender Ausgang des Frequenzteilers verwendet werden.

Werden externe Referenzfrequenzen verwendet, werden Frequenzen benötigt, die um einige Prozent von den STM-4 und STM-16-Taktfrequenzen abweichen. Dies ist notwendig, da sonst beim abtastenden Flipflop bei ungünstiger Phasenlage des Datensignals über einen längeren Zeitraum hinweg Setup- und Hold-Zeit-Verletzungen und damit viele fehlerhafte Abtastungen in Folge in der Abtasteinheit und in der Flankendetektionseinheit auftreten können. Fehlerhafte Abtastungen in langer Folge können von den Tiefpässen nicht herausgemittelt werden.

Weichen die Taktfrequenzen voneinander ab, mitteilen sich die Fehlabtastungen heraus, weil dann nur kurze Folgen von Fehlabtastungen auftreten. Abweichungen von einigen Prozent reichen dabei aus.

Ein weiteres Beispiel der Erfindung besteht darin, die beschriebene Schaltung 1 zu einem Phasen-/Frequenzkreis mit extrem großem Ziehbereich auszubauen, zum Beispiel zur Frequenzsynthese oder FM-Demodulation. Dabei dient die Bitratenerkennungsschaltung der Erkennung des Frequenzbandes, aus dem die aktuelle Referenzfrequenz stammt. Die Frequenzsensitivität des Phasen-/Frequenzdetektors ermöglicht anschließend das Einrasten des Phasen-/Frequenzregelkreises auf der Zielfrequenz.

Patentansprüche

1. Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignalstrom mit einer Phasen-/Frequenzregelungseinrichtung (3), der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts (DW) umschaltbaren Frequenzteiler-
einrichtung (13), die im Rückkopplungszweig der Phasen-/Frequenzregelungseinrichtung angeordnet ist und an deren Ausgang das gewonnene Taktsignal (T) abgreifbar ist, **dadurch gekennzeichnet**, daß eine Bitratenerkennungseinrichtung (15) vorgesehen ist, der der Datensignalstrom und zumindest ein Referenzfrequenzsignal zuführbar sind, und die ein Bitratenabhängiges der Frequenzteiler-
einrichtung (13) zuführbares Datenwort (DW) erzeugt.

2. Vorrichtung nach Anspruch 1, **dadurch gekenn-**

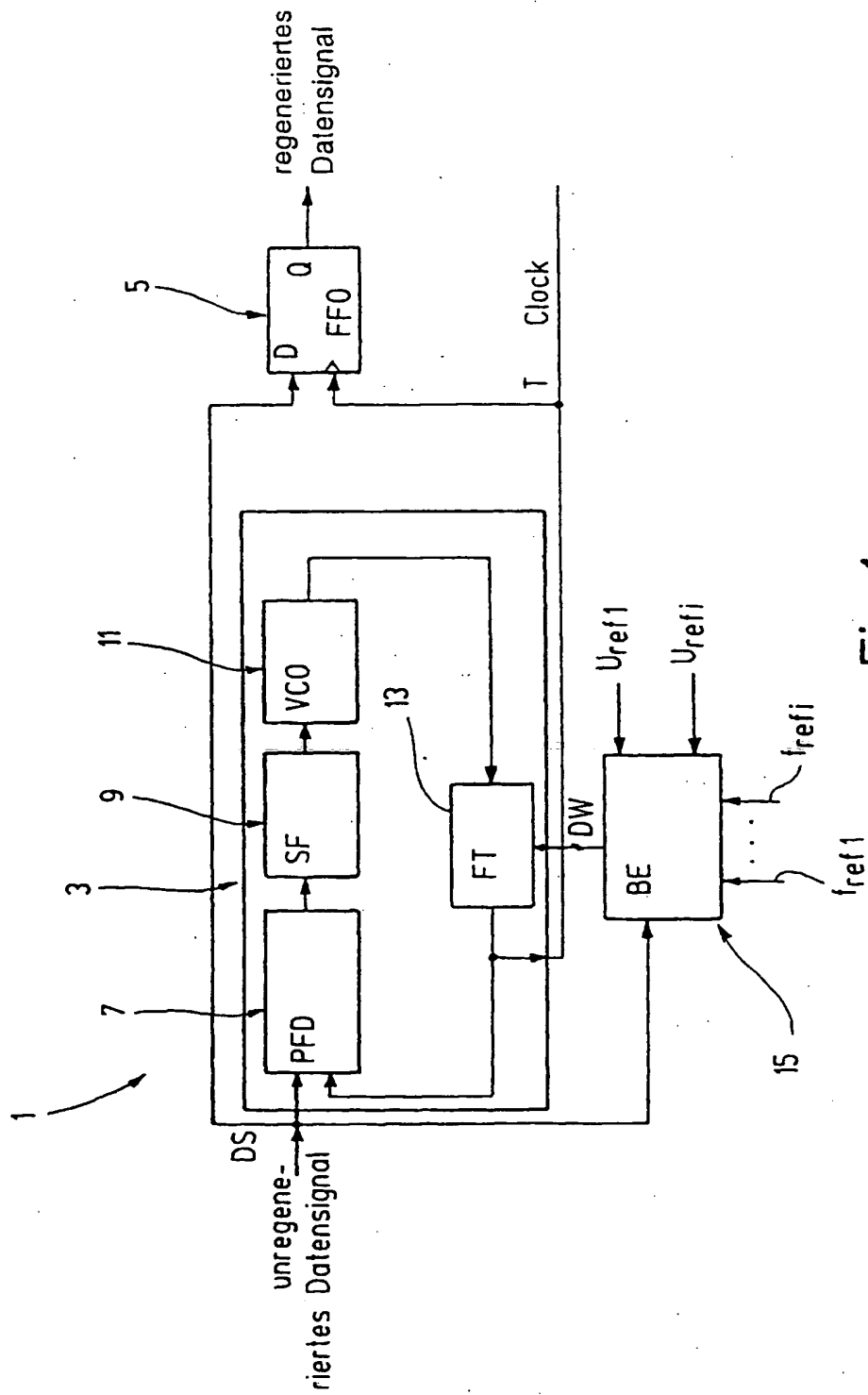


Fig. 1

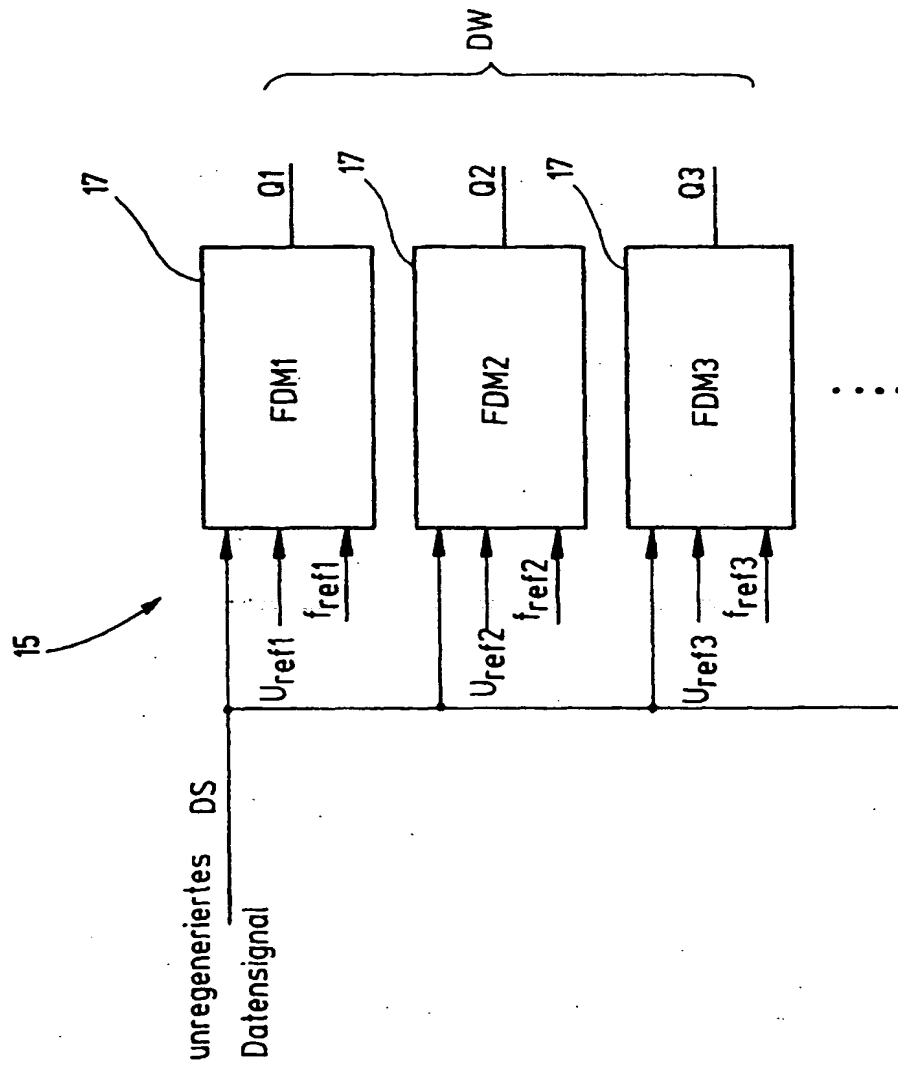


Fig. 2

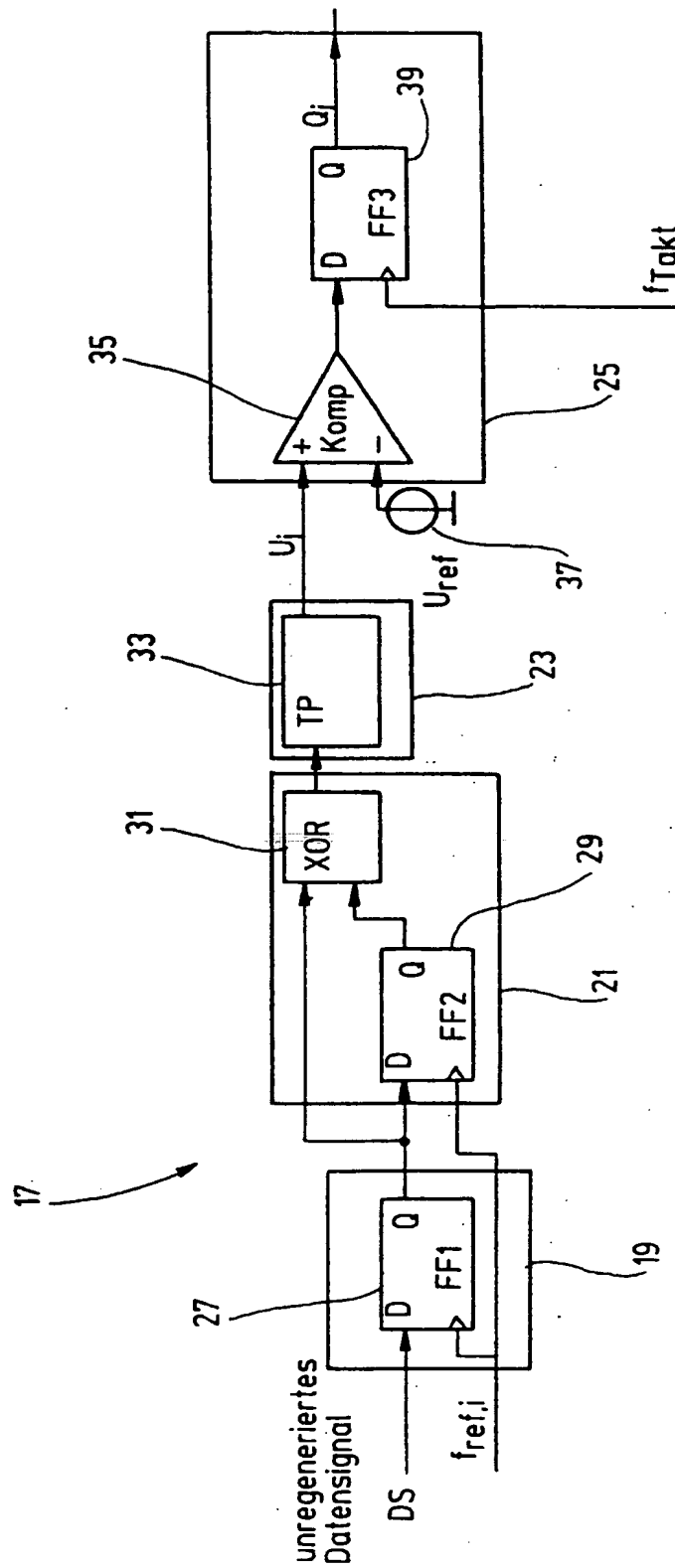


Fig. 3

Translation of an office action dated May 24, 2005

For a response to this action a term of 3 months is granted (*which expires September 13, 2005*).

Cited reference: (1) EP 0 862 272 A2

I.

The Examination is based on original claims 1 to 13, filed April 27, 2004.

The application is concerned with the object of providing a storage unit and a circuit for shaping a communication signal.

Claim 1 does not meet the object of providing a storage unit. There is no indication in claim 1 how the disk drives cooperate at different communication speeds. Moreover, claim 1 is unrelated to the remaining subject-matter of the application because it lacks connection to the clock data recovery circuit.

Claim 1 is thus unallowable for lack of a clear technical teaching and lack of unity with the remaining claims.

It is suggested to make claims 1 and 2 dependent upon claim 3.

II.

Claim 3, however, is unallowable in its present wording:

a) Clarity:

The phrase "that corresponds to a frequency of said pulse signal" would be misleading. A clearer wording would be "corresponding to the identified frequency of the pulse signal".

Further obscure is the phrase "for synchronising the pulse signal with the clock signal". According to the Examiner's understanding, the pulse signal is predetermined and the

clock signal is to be synchronised with the pulse signal (and not vice versa). Thus, it is presumed that the passage in question should read "for synchronising the frequency-divided clock signal with the pulse signal".

b) Inventive step:

Document (1) discloses

- a generation portion for generating a clock signal by using a pulse signal transferred for the communication, as set forth in claim 3 (compare Fig. 1 and the title of document (1));
- an identification portion according to claim 3 (compare Fig. 3);
- a frequency division portion according to claim 3 (compare Fig. 1, reference number 13);
- a synchronisation portion according to claim 3 (compare Fig. 1, reference number 7).

Incorporating the clock recovery circuit encompassing these features into a storage unit which comprises a disk drive and a disk controller for data communication is within average knowledge and skill since clock recovery circuits are suited for all kinds of transmission apparatus in which the clock is implicitly transmitted with the data.

As a result, all features of claim 3, when clarified, are obvious from the cited prior art. Thus, claim 3 in its present wording is unallowable for lack of inventive step.

Claim 3 is expected to be allowable if amended to include the entire third feature of claim 5 relating to the identification portion ("charge variation..."). The remaining features of claim 5 are obvious to the skilled person from document (1).

III.

Claim 6 is redundant over claim 4 and thus to be deleted.

In claim 8, it is not clear what is meant by the communication specifications decision portion. It is probably nothing else but what the skilled person understands already from claim 3. Thus claim 8, and claim 9 dependent thereon, are to be deleted as redundant.

The deficiencies objected to with respect to claim 3 apply also to claim 10. Reference is made to the above comments on claim 3.

Claim 13 is objected to for the same reason as claim 8. Claim 13 is thus to be deleted as redundant over claim 10.

IV.

For the grant of a patent, it is necessary

- to remove the above deficiencies,
- to insert reference numbers in the claims,
- to set forth a clear object, which establishes the unity of invention and which is met by the features of new claim 1,
- to discuss the prior art in the description.

If the above requirements are not met and a different opinion is not sufficiently substantiated, rejection of the application must be expected.

Examiner: Hofmeister

Deutsches Patent- und Markenamt

Deutsches Patent- und Markenamt · 80297 München

Patentanwälte
Strehl, Schübel-Hopf & Partner
Maximilianstraße 54
80538 München

München, den 24. Mai 2005

Telefon: (0 89) 21 95 - 2808

Aktenzeichen: 10 2004 013 115.5-53

Anmelder/Inhaber:

Hitachi, Ltd.,

6, Kanda Surugadai 4-chome,

Chiyoda-ku, Tokyo 101-8010, Japan

Ihr Zeichen: DEA-41268

Bitte Aktenzeichen und Anmelder/Inhaber bei
allen Eingaben und Zahlungen angeben!

Zutreffendes ist angekreuzt ☒ und/oder ausgefüllt!

13 Sept 05
13 Aug 05

Erhalten

13. JUNI 2005

Strehl et al.

Prüfungsantrag, Einzahlungstag am 9. Juni 2004

Eingabe vom

eingegangen am

Die Prüfung der oben genannten Patentanmeldung hat zu dem nachstehenden Ergebnis geführt.

Zur Äußerung wird eine Frist von

3 Monat(en)

gewährt. Die Frist beginnt an dem Tag zu laufen, der auf den Tag des Zugangs des Bescheids folgt.

Für Unterlagen, die der Äußerung gegebenenfalls beigelegt werden (z. B. Beschreibung, Beschreibungsteile, Patentansprüche, Zeichnungen), sind je **zwei** Ausfertigungen auf gesonderten Blättern erforderlich. Die Äußerung selbst wird nur in einfacher Ausfertigung benötigt.

Werden die Beschreibung, die Patentansprüche oder die Zeichnungen im Laufe des Verfahrens geändert, so hat der Anmelder, sofern die Änderungen nicht vom Deutschen Patent- und Markenamt vorgeschlagen sind, im Einzelnen anzugeben, an welcher Stelle die in den neuen Unterlagen beschriebenen Erfindungsmerkmale in den ursprünglichen Unterlagen offenbart sind.

In diesem Bescheid ist folgende Entgegenhaltung erstmalig genannt.
(bei deren Nummerierung gilt diese auch für das weitere Verfahren):

(Es folgen die Nennungen der Entgegenhaltungen und der Text des Bescheides)

Hinweis auf die Möglichkeit der Gebrauchsmusterabzweigung

Der Anmelder einer mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmustergesetz) ist bis zum Ablauf von 2 Monaten nach dem Ende des Monats möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), welches kostenlos beim Patent- und Markenamt und den Patentinformationszentren erhältlich ist.

**Dokumentenannahme
und Nachbriefkasten
nur
Zweibrückenstraße 12**

Hauptgebäude:
Zweibrückenstraße 12
Zweibrückenstraße 5-7 (Breiterhof)
Markenabteilungen:
Cincinnatistraße 64
81534 München

Hausadresse (für Fracht):
Deutsches Patent- und Markenamt
Zweibrückenstraße 12
80331 München

Telefon: (089) 2195-0
Telefax: (089) 2195-2221
Internet: <http://www.dpma.de>

Zahlungsempfänger:
Bundeskasse Weiden
BBk München
Kto.Nr.: 700 010 54
BLZ: 700 000 00
BIC (SWIFT-Code): MARKDEF1700
IBAN: DE84 7000 0000 0070 0010 54



1) EP 0 862 272 A2

I.

Der Prüfung liegen die ursprünglichen Ansprüche 1 - 13 zugrunde, eingegangen am 27.04.2004.

Der Anmeldung liegt die Aufgabe zugrunde, eine Speichereinheit und eine Schaltung zum Formen eines Kommunikationssignals zu schaffen.

Der Anspruch 1 stellt keine Lösung der genannten Aufgabe dar, eine Speichereinheit zu schaffen. Es gibt im Anspruch 1 keinen Hinweis, wie die Plattenlaufwerke mit verschiedenen Kommunikationsgeschwindigkeiten zusammenarbeiten sollen.

Darüber hinaus ist aus diesem Grund der Anspruch 1 auch nicht einheitlich zum übrigen Anmeldungsgegenstand, da ihm kein Zusammenhang zur Clock-Recovery-Schaltung zu entnehmen ist.

Der Anspruch 1 ist somit nicht gewährbar mangels einer klaren nacharbeitbaren Lehre zum technischen Handeln und mangels seiner Einheitlichkeit zu den übrigen Patentansprüchen.

Es wird vorgeschlagen, den Anspruch 1 und den Anspruch 2 als Unteransprüche zu Anspruch 3 zu formulieren.

II.

Der Anspruch 3 ist jedoch in der gültigen Fassung noch nicht gewährbar:

a) Klarheit:

Aus dem Satzteil „das der Frequenz des Impulssignals entspricht“ könnten falsche Schlüsse gezogen werden. Eine klarere Formulierung wäre: „entsprechend der erkannten Frequenz des Impulssignals“.

Unklar ist auch der Satzteil „zum Synchronisieren des Impulssignals mit dem Taktsignal“. Nach dem Verständnis der Prüfungsstelle ist das Impulssignal vorgegeben und das Taktsignal soll mit dem Impulssignal synchronisiert werden (und nicht umgekehrt). Daher sollte der fragliche Satzteil vermutlich heißen: „zum Synchronisieren des frequenzgeteilten Taktsignals mit dem Impulssignal“.

b) Erfindungshöhe:

Aus der Druckschrift 1) ist bekannt:

- ein Erzeugungsabschnitt zum Erzeugen eines Taktsignals unter Verwendung eines für die Kommunikation übertragenen Impulssignals gemäß Anspruch 3 (vgl. Fig.1 und Titel)
- ein Erkennungsabschnitt gemäß Anspruch 3 (vgl. Fig.3)
- ein Frequenzteilerabschnitt gemäß Anspruch 3 (vgl. Fig.1 (13))
- ein Synchronisierabschnitt gemäß Anspruch 3 (vgl. Fig.1 (7))

Die Integration der durch diese Merkmale umrissene Clock-Recovery-Schaltung in eine Speichereinheit, die ein Plattenlaufwerk und einen Plattencontroller zur Datenkommunikation beinhaltet, liegt im Rahmen des fachmännischen Wissens und Könnens, denn Clock-Recovery-Schaltungen sind geeignet für sämtliche Übertragungseinrichtungen, in denen der Takt implizit in den Daten übertragen wird.

Somit ergeben sich nach der Klarstellung sämtliche Merkmale des Gegenstands nach Anspruch 3 in naheliegender Weise aus dem aufgezeigten Stand der Technik.

Der Anspruch 3 ist sonach in der geltenden Fassung mangels Erfindungshöhe seines Gegenstands nicht gewährbar.

Voraussichtlich gewährbar erscheint der Anspruch 3, wenn in ihm bezüglich des Erkennungsabschnitts mindestens das gesamte Merkmal 3 des Anspruchs 5 aufgenommen wird („Ladungsvariations“). Die übrigen Merkmale des Anspruchs 5 kann der Fachmann der Druckschrift 1) bei verständiger Würdigung entnehmen.

III.

Der Anspruch 6 ist zu Anspruch 4 redundant und ist deshalb zu streichen.

Im Anspruch 8 ist nicht klar, was der Kommunikationsspezifikations-Entscheidungsabschnitt darstellen soll. Vermutlich nichts anderes, als der Fachmann dem Anspruch 3 ohnehin entnimmt. Der Anspruch 8 ist somit aufgrund seiner Redundanz zusammen mit seinem Unteranspruch 9 zu streichen.

Für Anspruch 10 gelten sinngemäß die zu Anspruch 3 bereits angeführten Mängel. Auf die obigen Ausführungen zu Anspruch 3 sei hierbei verwiesen.

Für den Anspruch 13 gilt das bereits zu Anspruch 8 gesagte analog. Er ist somit wegen seiner Redundanz zu Anspruch 10 zu streichen.

IV.

Für eine Erteilung ist es somit notwendig,

- die oben genannten Mängel zu beseitigen
- Bezugszeichen in die Ansprüche einzuführen
- eine klare Aufgabe zu formulieren,
die die Einheitlichkeit des Anmeldungsgegenstands erkennen lässt
und die durch die Merkmale des neuen Anspruchs 1 gelöst wird
- den Stand der Technik in der Beschreibung zu würdigen

Werden die genannten Auflagen nicht erfüllt und wird eine abweichende Auffassung nicht ausreichend begründet, so muss mit der Zurückweisung der Anmeldung gerechnet werden.

Prüfungsstelle für Klasse G06F

R. Hofmeister

Dipl. Ing. R. Hofmeister

Hausruf 4739

Anlage(n): Druckschriften: 1